



①9 BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENTAMT

⑫ **Offenlegungsschrift**  
⑩ **DE 41 39 997 A 1**

⑤① Int. Cl.<sup>5</sup>:  
**H03K 17/687**  
H 05 K 7/20  
H 02 M 7/00

②① Aktenzeichen: P 41 39 997.8  
②② Anmeldetag: 4. 12. 91  
④③ Offenlegungstag: 9. 7. 92

DE 41 39 997 A 1

③④ Innere Priorität: ③② ③③ ③①  
06.12.90 DE 40 38 879.4

⑦① Anmelder:  
Akdogan, Ozcan, 6800 Mannheim, DE

⑦④ Vertreter:  
Zellentín, R., Dipl.-Geologe Dr.rer.nat., 8000  
München; Zellentín, W., Dipl.-Ing.; Grußdorf, J.,  
Dipl.-Chem. Dr.rer.nat., Pat.-Anwälte, 6700  
Ludwigshafen

⑦② Erfinder:  
gleich Anmelder

⑤④ Schaltungsanordnung mit Leistungs-MOSFET-Transistoren

⑤⑦ Bei einer Schaltungsanordnung mit Leistungs-MOSFET-Transistoren sind mehrere Leistungs-MOSFET-Transistoren zusammen mit Ansteuerschaltungen sowohl bezüglich der thermischen als auch der elektrischen Verhältnisse symmetrisch als Modul aufgebaut.

DE 41 39 997 A 1

## Beschreibung

Die Erfindung betrifft eine Schaltungsanordnung mit Leistungs-MOSFET-Transistoren.

Für Wechselrichter und unterbrechungsfreie Stromversorgungsanlagen werden Schaltungsanordnungen mit Leistungs-MOSFET-Transistoren benötigt, die möglichst hohe Leistungen mit geringen Verlusten zuverlässig und mit einem möglichst geringen Aufwand an elektronischen Bauteilen schalten.

Die erfindungsgemäße Schaltungsanordnung ist dadurch gekennzeichnet, daß mehrere Leistungs-MOSFET-Transistoren zusammen mit Ansteuerschaltungen sowohl bezüglich der thermischen als auch der elektrischen Verhältnisse symmetrisch als Modul aufgebaut sind.

Der Erfindung liegt die Erkenntnis zugrunde, daß die Zuverlässigkeit von Schaltungen mit Leistungs-MOSFET-Transistoren häufig durch ungünstige thermische und elektrische Verhältnisse beeinträchtigt ist.

Die erfindungsgemäße Schaltungsanordnung stellt ein Modul dar, das vielseitig verwendbar und preisgünstig herstellbar ist.

Bei der erfindungsgemäßen Schaltungsanordnung ist sichergestellt, daß die Chip-Temperatur eines jeden Leistungs-MOSFET-Transistors und die Bezugstemperatur am Gehäuse oder in der Umgebung einerseits und die abgeführte Verlustleistung andererseits im thermischen Gleichgewicht liegt.

Durch die in den Unteransprüchen aufgeführten Maßnahmen sind vorteilhafte Weiterbildungen und Verbesserungen der im Hauptanspruch angegebenen Erfindung möglich.

Einige dieser Weiterbildungen ermöglichen besonders günstige thermische Verhältnisse. Andere Weiterbildungen schaffen günstige Voraussetzungen für eine vorteilhafte Ansteuerung der Leistungs-MOSFET-Transistoren, um unter anderem die während des Schaltvorgangs entstehende Verlustleistung gering zu halten und Beschädigungen der Leistungs-MOSFET-Transistoren zu vermeiden. Die erfindungsgemäße Schaltungsanordnung ist für einfache Gegentaktschaltungen, für Brückenschaltungen und für Mehrphasen-Brückenschaltungen, insbesondere Drei-Phasen-Brückenschaltungen, geeignet.

Ausführungsbeispiele der Erfindung sind in der Zeichnung anhand mehrerer Figuren dargestellt und in der nachfolgenden Beschreibung näher erläutert. Es zeigt:

Fig. 1 einen Stromlaufplan einer Schaltungsanordnung mit einem Leistungs-MOSFET-Transistor,

Fig. 2 Spannungszeitdiagramme eines Schaltvorgangs bei einer erfindungsgemäßen Schaltungsanordnung,

Fig. 3 einen Stromlaufplan einer Schaltungsanordnung mit zwei Leistungs-MOSFET-Transistoren,

Fig. 4 die Schaltungsanordnung nach Fig. 3, erweitert um zwei Ansteuerschaltungen und einen Gegentaktüberträger,

Fig. 5 einen Stromlaufplan einer Schaltungsanordnung mit vier Leistungs-MOSFET-Transistoren,

Fig. 6 verschiedene Ansichten einer Schaltungsanordnung nach Fig. 5,

Fig. 7 die Schaltungsanordnung nach Fig. 5, erweitert um Ansteuerschaltungen und Gegentaktüberträger,

Fig. 8 einen Stromlaufplan einer Drei-Phasen-Brückenschaltung,

Fig. 9 Ansichten einer Schaltungsanordnung nach

Fig. 8 und

Fig. 10 verschiedene Ansichten einer Schaltungsanordnung mit sechs Leistungs-MOSFET-Transistoren.

Gleiche Teile sind in den Figuren mit gleichen Bezugszeichen versehen.

Bei der Schaltungsanordnung nach Fig. 1 wird durch Zuführung einer Steuerspannung zu dem in Fig. 1 mit G bezeichneten Anschluß die Drain-Source-Strecke des Leistungs-MOSFET-Transistors V, im folgenden als Transistor bezeichnet, geschaltet. Zwischen den Anschlüssen Dr und S ist eine Freilaufdiode Spr, die als Z-Diode ausgebildet ist, zu der bereits im Transistor V vorgesehenen Diode parallelgeschaltet.

Die Steuerspannung am Eingang G wird über einen Widerstand  $R_v$  und eine Diode D der Gate-Elektrode des Transistors V zugeführt. Die Gate-Elektrode ist über einen Widerstand  $R_p$  und eine Z-Diode Zd mit der Source-Elektrode verbunden. Durch die Parallelschaltung der Diode D mit dem Widerstand  $R_v$  wird erreicht, daß der Transistor schneller aus- als eingeschaltet wird. Dadurch wird ein gleichzeitiges Leiten zweier in einer Gegentaktendstufe, wie sie beispielsweise in Fig. 3 dargestellt ist, verhindert.

Dieses wird im folgenden anhand von Fig. 2 erläutert, welche die Steuerspannungen  $U_{gs}$  an den Gate-Elektroden der Transistoren V1 und V2 während des Umschaltens von einem auf den anderen Transistor darstellt.  $U_{gth}$  bedeutet dabei diejenige Steuerspannung, oberhalb der ein Transistor leitend wird. Durch den schnelleren Abfall der Steuerspannung des Transistors V1 wird erreicht, daß der Schnittpunkt beider Steuerspannungen unterhalb von  $U_{gth}$  liegt. Dadurch wird ein gleichzeitiges Leiten beider Transistoren vermieden. Für eine kurze Zeit  $t_1$  sind beide Transistoren sicherheitshalber nichtleitend.

Um die Ansteuerung einer Brückenschaltung in einfacher Weise zu ermöglichen, ist gemäß einer Weiterbildung der erfindungsgemäßen Schaltungsanordnung in Fig. 4 die Ansteuerung in das Modul miteinbezogen. Zur Ansteuerung gehören zwei Ansteuerschaltungen A1 und A2, die in an sich bekannter Weise aufgebaut sind und im wesentlichen einen Treiberverstärker darstellen, und ein Gegentaktüberträger Tr.

Fig. 5 zeigt eine Brückenschaltung mit vier Transistoren V1 bis V4, deren Gate-Elektroden, wie im Zusammenhang mit Fig. 1 beschrieben, geschaltet sind. Fig. 6 zeigt einen vorteilhaften Aufbau der Schaltungsanordnung nach Fig. 5 unter Verwendung einer zweiseitig beschichteten Leiterplatte L. Dabei zeigt Fig. 6a eine Ansicht der Schaltung von der Seite der Feldeffekttransistoren. Die Fig. 6b und 6c stellen jeweils das Leiterbild auf einer der Seiten der Leiterplatte L dar. Fig. 6d zeigt die Leiter und die Feldeffekttransistoren sowie weitere Bauelemente.

Ein Modul, das in vielfältiger Weise, beispielsweise in Wechselrichtern, verwendet werden kann, zeigt Fig. 7, wobei die Brückenschaltung derjenigen nach Fig. 5 entspricht und um Ansteuerschaltungen A1 bis A4 und Gegentaktüberträger Tr1 und Tr2 ergänzt ist.

Fig. 8 zeigt eine Drei-Phasen-Brückenschaltung, die bei geeigneter Ansteuerung zur Erzeugung einer Drei-Phasen-Spannung aus Gleichspannung dient. Die Gleichspannung wird den Anschlüssen P und H zugeführt, während die Ausgangsspannung den Anschlüssen U, V, W entnommen werden kann.

Fig. 9 zeigt den Aufbau einer derartigen Schaltungsanordnung als Modul, wobei jeweils für einen der in Fig. 8 dargestellten Transistoren zwei Transistoren pa-

rallelgeschaltet sind. Es sind die Leiterbilder auf beiden Seiten der Leiterplatte L (a und b) sowie die Ansichten der Leiterplatte L einschließlich der Transistoren und der weiteren Bauelemente dargestellt (c und d).

Fig. 10 zeigt eine weitere erfindungsgemäße Schaltungsanordnung in drei Ansichten, bei welcher die Transistoren sternförmig angeordnet sind, um gleiche elektrische und thermische Verhältnisse für drei Brücken-zweige zu erzielen.

Eine günstige Dimensionierung der erfindungsgemäßen Schaltungsanordnung liegt bei folgenden Werten vor:

$R_v = 10 \text{ Ohm}$ ,  $R_p = 10 \text{ kOhm}$ ,  $U_{Zd} = 15 \text{ V}$ .

Bei der Realisierung der erfindungsgemäßen Schaltungsanordnung ist insbesondere darauf zu achten, daß die Leiter zwischen den Ansteuerschaltungen und den Gate-Elektroden möglichst kurz, induktionsarm und voneinander entkoppelt sind. Ferner sollten Erdschleifen vermieden werden. Die Spannungsversorgung kann mit einem Kondensator abgeblockt werden. Beim Einsatz einer erfindungsgemäßen Schaltung mit mehreren parallelen Leistungs-MOSFET-Transistoren sollte der gesamte Drain-Strom nicht mehr als das 0,8-fache der Summe der zulässigen Drain-Ströme betragen. Zur Verringerung der Verlustleistung sollten die Transistoren mit einer möglichst hohen Schaltgeschwindigkeit betrieben werden.

Für den Transport und die Handhabung des erfindungsgemäßen Moduls ist es besonders vorteilhaft, wenn die Elektroden der Leistungs-MOSFET-Transistoren, die Anschlüsse der Schaltungsanordnung bilden, untereinander derart leitend verbunden sind, daß eine Ableitung von statischen Aufladungen auch dann erfolgt, wenn die Schaltung nicht mit anderen Schaltungen verbunden ist. Dieses wird beispielsweise durch die Widerstände  $R_p$  und die Z-Dioden Spr ermöglicht.

#### Patentansprüche

1. Schaltungsanordnung mit Leistungs-MOSFET-Transistoren, dadurch gekennzeichnet, daß mehrere Leistungs-MOSFET-Transistoren (V) zusammen mit Ansteuerschaltungen sowohl bezüglich der thermischen als auch der elektrischen Verhältnisse symmetrisch als Modul aufgebaut sind.
2. Schaltungsanordnung nach Anspruch 1, dadurch gekennzeichnet, daß für die Leistungs-MOSFET-Transistoren (V) ein gemeinsamer Kühlkörper vorgesehen ist, auf dem die Leistungs-MOSFET-Transistoren mindestens einen Abstand von 10 mm voneinander aufweisen.
3. Schaltungsanordnung nach Anspruch 2, dadurch gekennzeichnet, daß der Kühlkörper mindestens teilweise plattenförmig ausgebildet ist, aus Kupfer besteht und mindestens 3 mm stark ist.
4. Schaltungsanordnung nach Anspruch 2, dadurch gekennzeichnet, daß der Kühlkörper mindestens teilweise plattenförmig ausgebildet ist, aus Aluminium besteht und mindestens 6 mm stark ist.
5. Schaltungsanordnung nach Anspruch 1, dadurch gekennzeichnet, daß die Leistungs-MOSFET-Transistoren (V) und die Ansteuerschaltungen (A) auf einem Keramiksubstrat (L) als Hybridschaltung angeordnet sind.
6. Schaltungsanordnung nach Anspruch 1, dadurch gekennzeichnet, daß zwischen den Steuerelektroden und den Source-Elektroden der Leistungs-MOSFET-Transistoren (V) Z-Dioden ( $Z_d$ ) ange-

ordnet sind.

7. Schaltungsanordnung nach Anspruch 1 oder 6, dadurch gekennzeichnet, daß zwischen Ausgänge der Ansteuerschaltungen (A) und den Steuerelektroden der Leistungs-MOSFET-Transistoren (V) jeweils eine Parallelschaltung aus einem Widerstand ( $R_v$ ) und einer Diode (D) angeordnet ist.

8. Schaltungsanordnung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die Leistungs-MOSFET-Transistoren (V) eine Brückenschaltung bilden.

9. Schaltungsanordnung nach Anspruch 8, dadurch gekennzeichnet, daß die Brückenschaltung eine Drei-Phasen-Brückenschaltung ist.

10. Schaltungsanordnung nach Anspruch 9, dadurch gekennzeichnet, daß die Leistungs-MOSFET-Transistoren (V) sternförmig angeordnet sind.

11. Schaltungsanordnung nach Anspruch 7, dadurch gekennzeichnet, daß jeweils mehrere Leistungs-MOSFET-Transistoren (V) parallelgeschaltet sind und daß die Ansteuerschaltungen (A) derart ausgebildet sind, daß sie 300 ns lang je angesteuertem Leistungs-MOSFET-Transistor (V) mindestens 1 A leisten.

12. Schaltungsanordnung nach Anspruch 1, dadurch gekennzeichnet, daß die Elektroden der Leistungs-MOSFET-Transistoren, die Anschlüsse der Schaltungsanordnung bilden, untereinander derart leitend verbunden sind, daß eine Ableitung von statischen Aufladungen auch dann erfolgt, wenn die Schaltung nicht mit anderen Schaltungen verbunden ist.

Hierzu 7 Seite(n) Zeichnungen

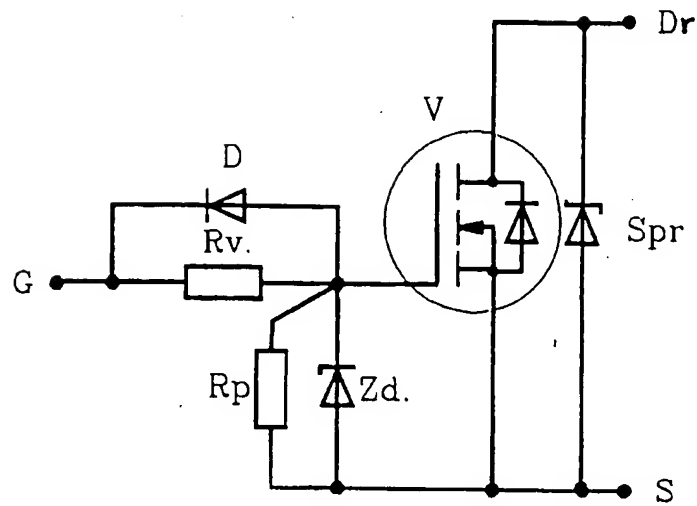


Fig. 1

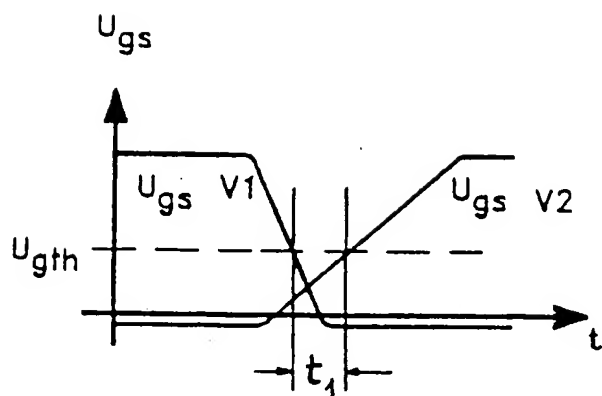


Fig. 2

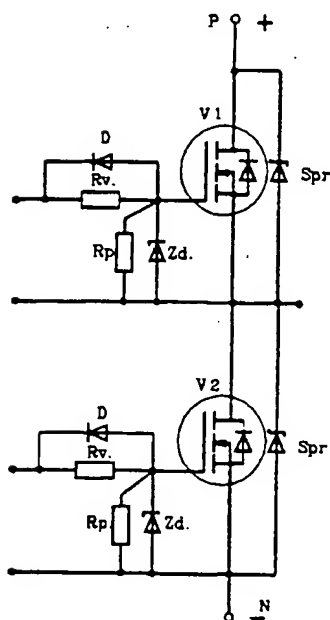


Fig. 3

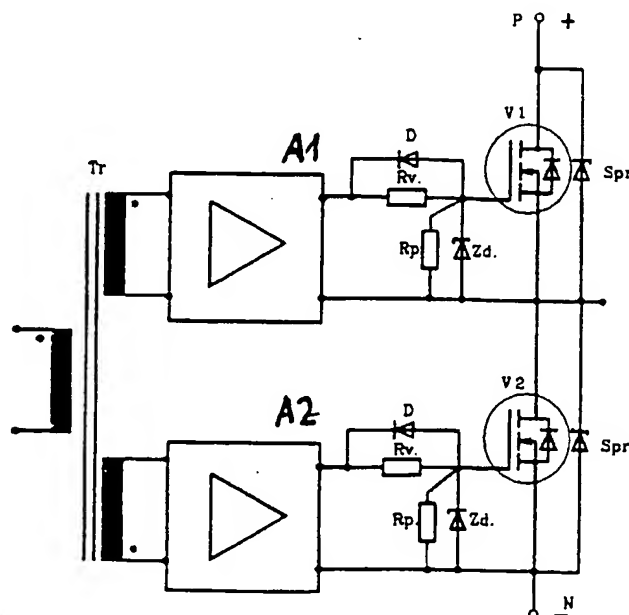


Fig. 4

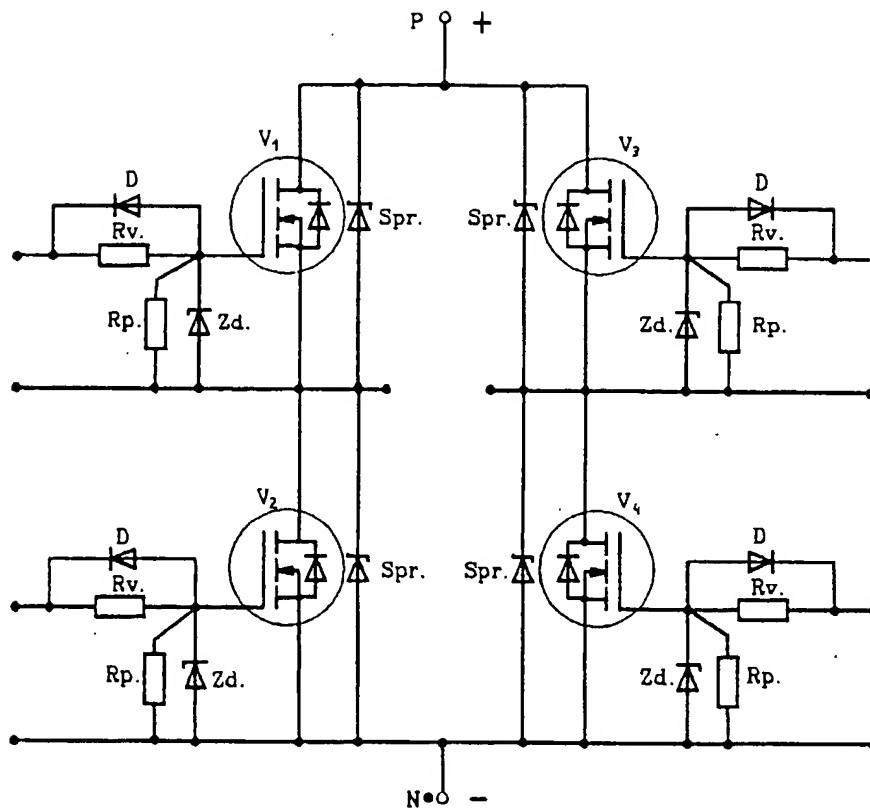
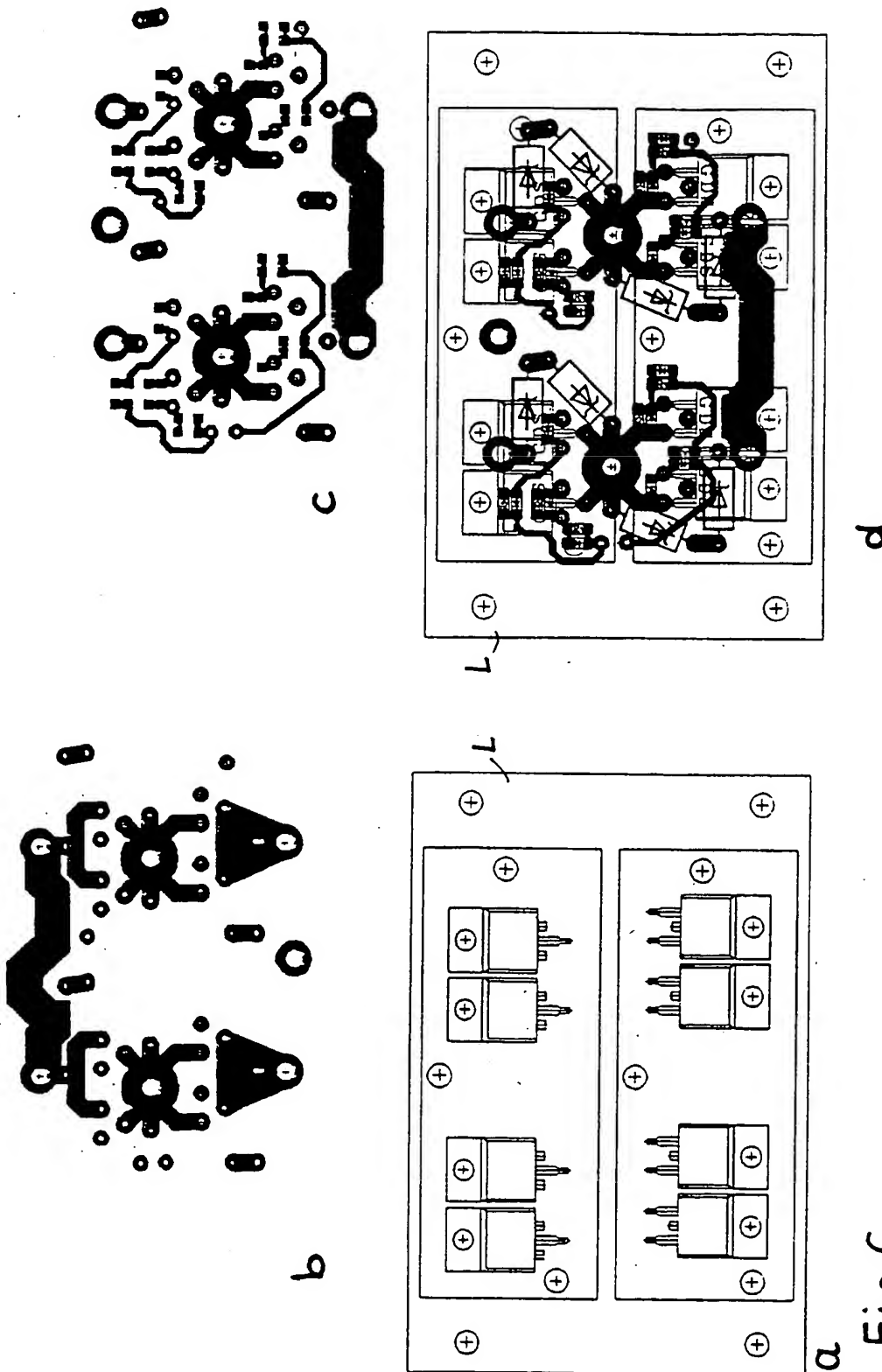


Fig.5



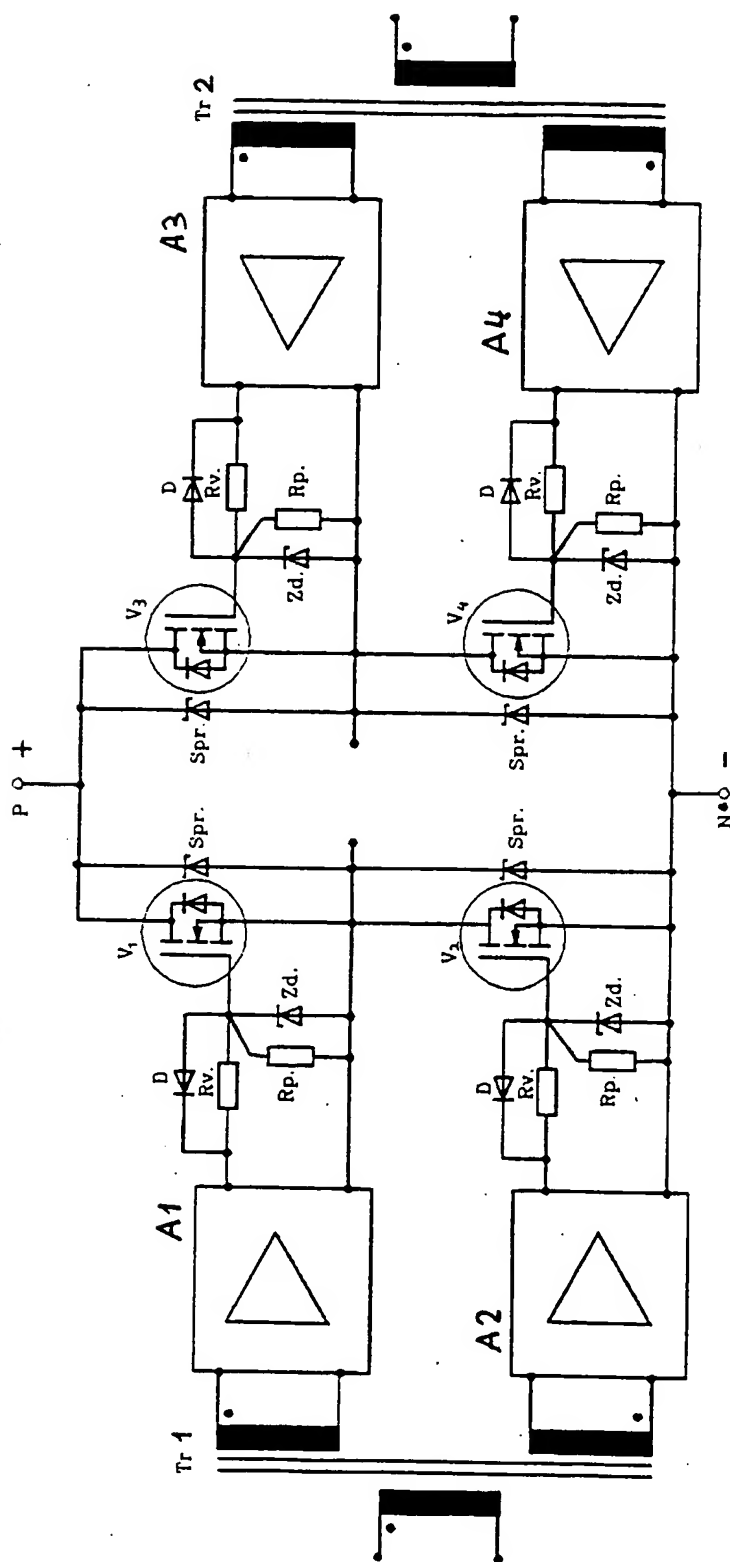


Fig. 7

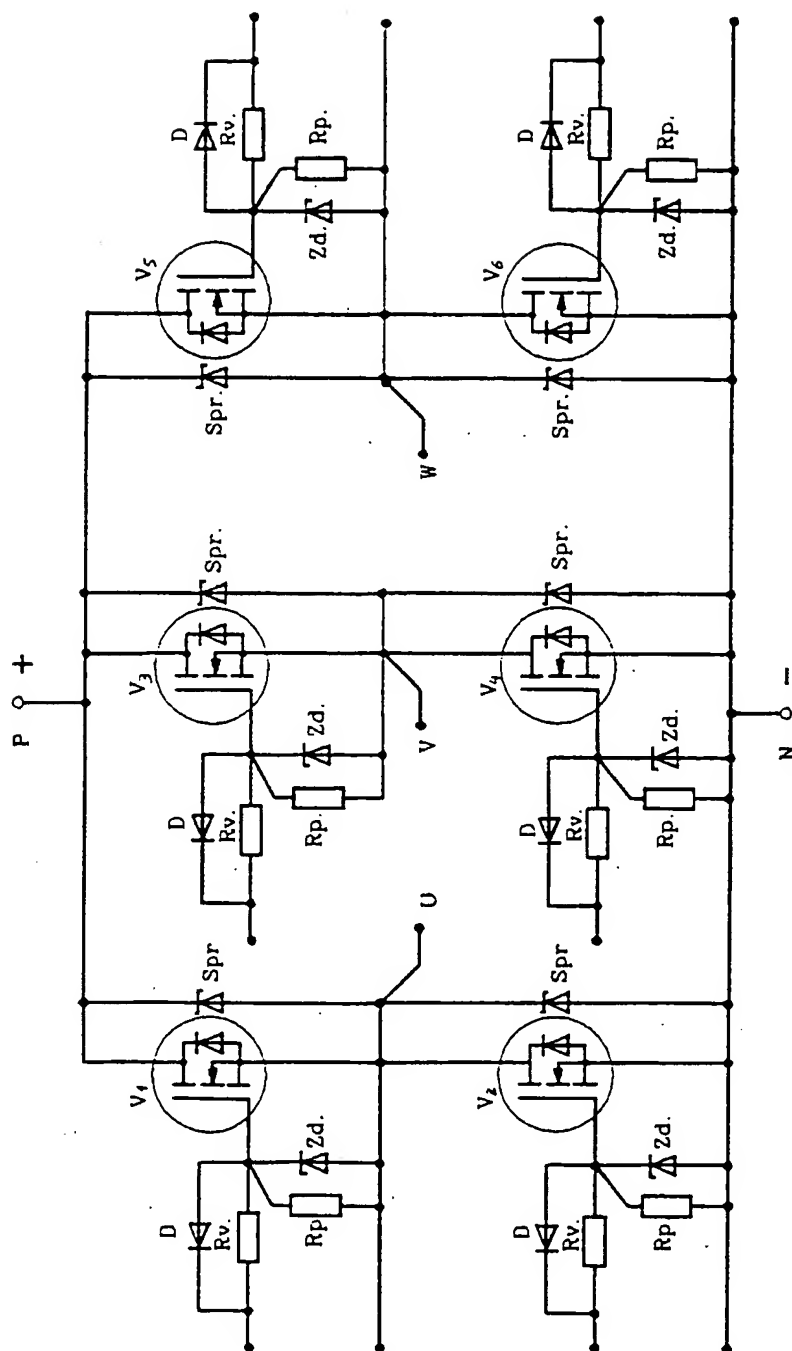


Fig. 8



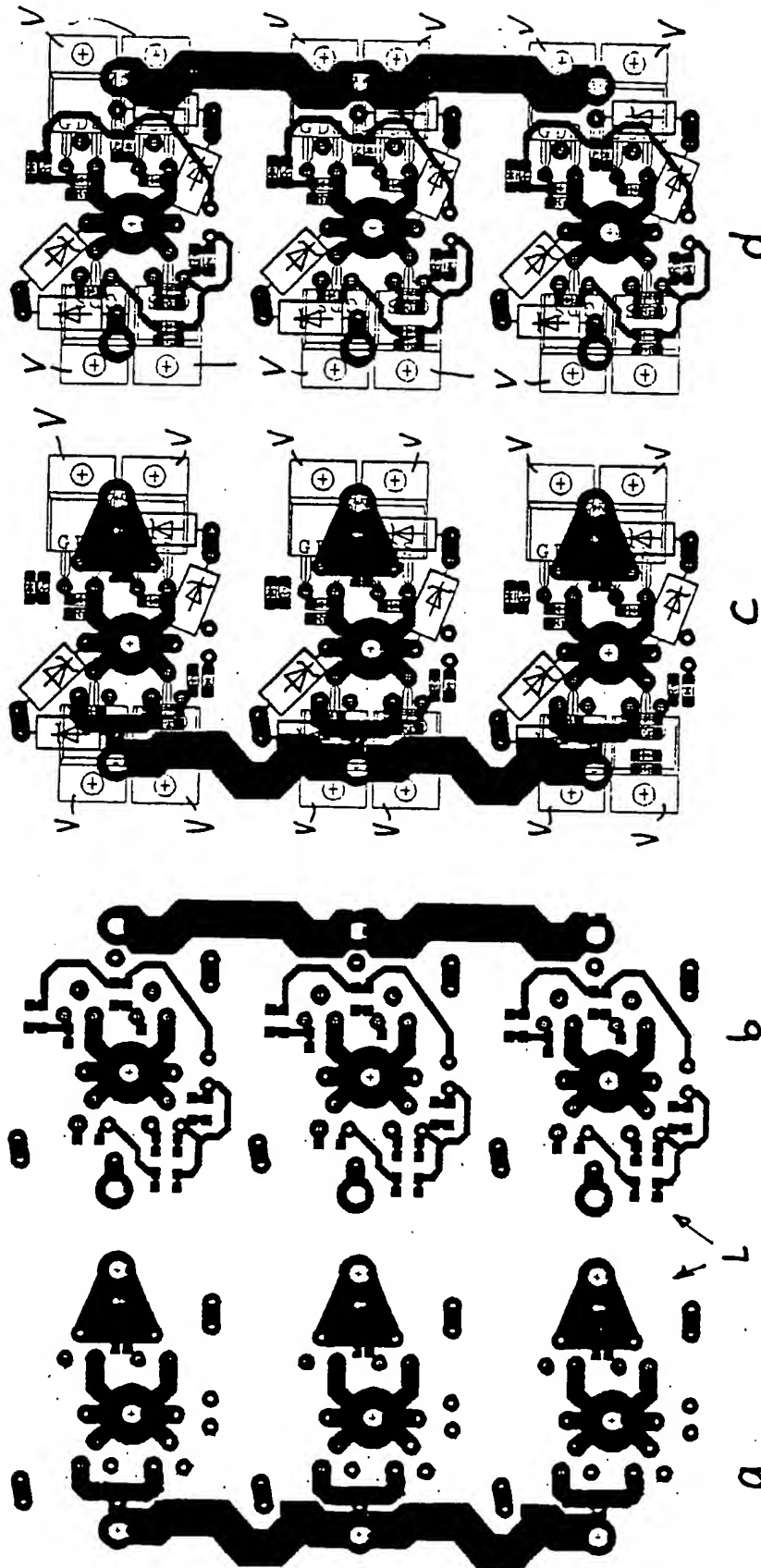
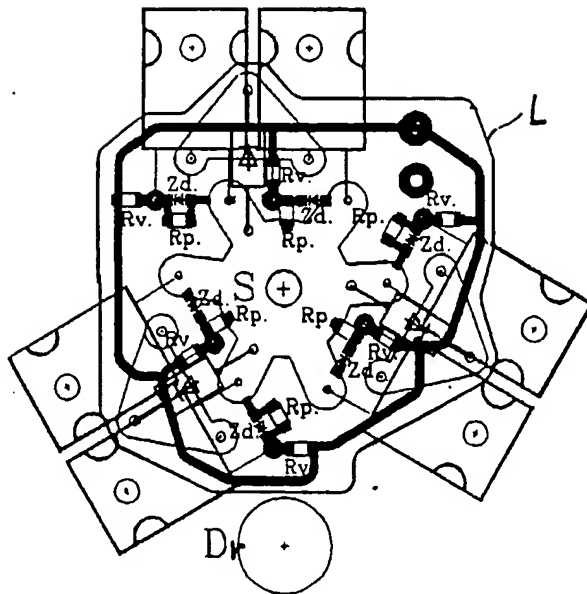


Fig. 9



a

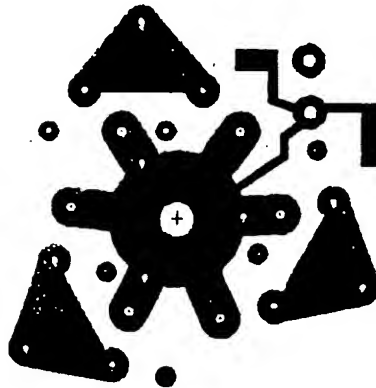
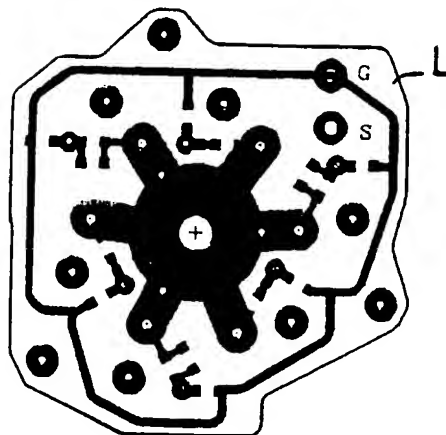


Fig.10

b



c

DERWENT-ACC-NO: 1992-235418

DERWENT-WEEK: 199229

COPYRIGHT 2007 DERWENT INFORMATION LTD

TITLE: MOSFET circuit for inverter and interrupting  
free  
current supply - has power MOSFET(s) which form  
symmetrical module, together with energising  
circuits,  
w.r.t. thermal and electric conditions

INVENTOR: AKDOGAN, O

PATENT-ASSIGNEE: AKDOGAN O[AKDOI]

PRIORITY-DATA: 1990DE-4038879 (December 6, 1990)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE
PAGES MAIN-IPC		
DE 4139997 A	July 9, 1992	N/A
010 H03K 017/687		

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO
APPL-DATE		
DE 4139997A	N/A	1991DE-4139997
December 4, 1991		

INT-CL (IPC): H02M007/00, H03K017/687 , H05K007/20

ABSTRACTED-PUB-NO: DE 4139997A

BASIC-ABSTRACT:

Several power MOSFETs (V1-4) are formed, together with energising circuit as a symmetrical module w.r.t. the thermal and electric conditions. Preferably a common cooler is provided for the power MOSFETs, on which they have a spacing of min. 10 mm.. The cooler is plate-shaped, at least partly, made of copper and at least 3 mm thick.

It may be made of aluminium and is at least 6 mm thick. Typically the power

MOSFETs and the energising circuits are formed on a ceramic substrate as a hybrid circuit. Between the control and the source electrodes of the MOSFETs are fitted Zener diodes (Zd).

ADVANTAGE - No interference by difficult thermal and electric conditions.

CHOSEN-DRAWING: Dwg.5/10

TITLE-TERMS: MOSFET CIRCUIT INVERTER INTERRUPT FREE CURRENT SUPPLY  
POWER MOSFET  
FORM SYMMETRICAL MODULE ENERGISE CIRCUIT THERMAL ELECTRIC  
CONDITION

DERWENT-CLASS: U11 U14 U21 U24 V04

EPI-CODES: U11-D02; U14-H03; U21-B01B; U21-B05C; U24-D01G; U24-D05A3; V04-Q03;  
V04-T03;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N1992-179246